

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-181091

(43)Date of publication of application : 11.07.1997

(51)Int.Cl. H01L 21/331  
H01L 29/73  
H01L 29/165

(21)Application number : 08-330726

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 11.12.1996

(72)Inventor : JALALI-FARAHANI BAHRAM  
KING CLIFFORD A

(30)Priority

Priority number : 95 8514  
96 610646

Priority date : 12.12.1995  
04.03.1996

Priority country : US

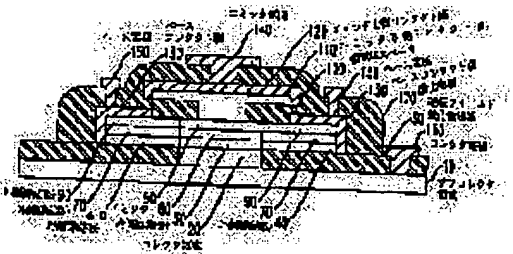
US

## (54) FABRICATION OF HETERO JUNCTION BIOPOLAR TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for fabricating a hetero junction bipolar transistor having a relative flat structure.

SOLUTION: The hetero junction bipolar transistor in an integrated circuit has an inner region base part 60 and an outer region base part 70. The inner region base part is made of substantially epitaxial silicon/germanium alloy. The outer region base part is made of substantially polycrystalline material containing a distribution of ion-implanted impurities. An emitter 80 covers the inner region base part, while a spacer 100 covers the emitter at least partially. The spacer overhangs the outer region base part at least by a characteristic distance of a transversal spread of impurities to be ion-implanted.



## LEGAL STATUS

[Date of request for examination] 08.09.1998

[Date of sending the examiner's decision of rejection] 19.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181091

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl.<sup>6</sup>

H01L 21/331  
29/73  
29/165

識別記号

庁内整理番号

F I

H01L 29/72  
29/165

技術表示箇所

審査請求 未請求 請求項の数13 OL (全 10 頁)

(21) 出願番号 特願平8-330726

(22) 出願日 平成8年(1996)12月11日

(31) 優先権主張番号 008514

(32) 優先日 1995年12月12日

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 610646

(32) 優先日 1996年3月4日

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ  
レイテッド

Lucent Technologies  
Inc.

アメリカ合衆国 07974 ニュージャージ  
ー、マレーヒル、マウンテン アベニュー  
600-700

(72) 発明者 バーラム ジャラリーファラハニ

アメリカ合衆国, 90025 カリフォルニア,  
ロサンジェルス, ナンバー 12, パトラー  
アヴェニュー 1418

(74) 代理人 弁理士 三俣 弘文

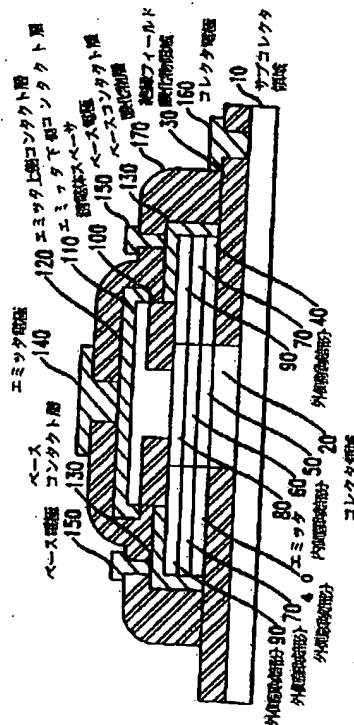
最終頁に続く

(54) 【発明の名称】 ヘテロ接合バイポーラトランジスタの製造方法

(57) 【要約】

【課題】 比較的平坦な構造を有するヘテロ接合バイポーラトランジスタの製造方法を提供する。

【解決手段】 集積回路におけるヘテロ接合バイポーラトランジスタは、内側領域ベース部分(60)および外側領域ベース部分(70)を有する。内側領域ベース部分は、実質的にエピタキシャルシリコン-ゲルマニウム合金からなる。外側領域ベース部分は、実質的に多結晶材料からなり、イオン注入された不純物の分布を含む。エミッタ(80)は、内側領域ベース部分を覆い、スペーサ(100)はエミッタを少なくとも部分的に覆う。スペーサは、少なくともイオン注入される不純物の横方向の広がり特性距離だけ外側領域ベース部分にオーバーハングする。



## 【特許請求の範囲】

【請求項1】 (a) 誘電体層により規定されるウィンドウ内に第1導電型の単結晶シリコンコレクタ領域を形成するステップと、

(b) 前記コレクタ領域と、この領域に隣接する誘電体層の少なくとも一部の上に、非選択性急速熱エピタキシにより、シリコン核形成層を形成し、その後、非選択性急速熱エピタキシにより、第1導電型とは反対の第2導電型のシリコン-ゲルマニウム (Si-Ge) 合金層を形成するステップと、

このようにして得られた各層は、コレクタ領域の上の部分 (内側領域) では、エピタキシャル成長し、誘電体層の上の部分 (外側領域) では、多結晶であり、

(c) 前記Si-Ge合金層の上に、非選択性急速熱エピタキシにより、第1導電型のシリコン層 (エミッタ層となる) を形成するステップと、

このようにして得られたシリコン層は、コレクタ領域の上の部分 (内側領域) では、エピタキシャル成長し、誘電体層の上の部分 (外側領域) では、多結晶であり、

(d) 第2導電型のドーパント種を、前記Si-Ge合金層とエミッタ層の内側領域には注入せず、外側領域に注入するステップと、

(e) 前記注入ステップにより、合金層の外側領域とエミッタ層の外側領域の両方に、第2導電型がドーピングされるようになることを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

【請求項2】 前記コレクタ領域は、選択的エピタキシャル成長により形成されることを特徴とする請求項1の方法。

【請求項3】 前記(d)の注入ステップの前に、エミッタ層の少なくとも内側領域と、前記エミッタ層の外側領域に、部分的にオーバーハング (overhang) するように、誘電体スペーサ層を形成するステップを有し、前記(d)の注入ステップの間、ドーパント種は、前記スペーサ層により、前記エミッタ層と、Si-Ge合金層と、シリコン核形成層の内側領域に入ることを阻止されることを特徴とする請求項1の方法。

【請求項4】 前記(d)の注入ステップの後に、アニールステップを実行し、

その結果、少なくともエミッタ層と、シリコン核形成層内に注入されるドーパント種の濃度が、それぞれの層の内側領域の方向に向いて、横方向に拡散することを特徴とする請求項3の方法。

【請求項5】 前記アニールステップは、少なくともエミッタ層と、シリコン核形成層内に注入されるドーパント種の濃度が、それぞれの層の内側領域の方向に向いて、約500オングストローム以下の深さで横方向に拡散するよう実行されることを特徴とする請求項4の方法。

【請求項6】 前記アニールステップは、少なくともエ

ミッタ層と、シリコン核形成層内に注入されるドーパント種の濃度が、それぞれの層の内側領域の方向に向いて、約200オングストローム以下の深さで横方向に拡散するよう実行されることを特徴とする請求項4の方法。

【請求項7】 前記アニールステップは、第2導電型のドーパント種が合金層の内側領域に拡散するのを阻止するのに十分な程度の低い温度で実行されることを特徴とする請求項4の方法。

【請求項8】 前記合金層は、それを形成する際に、その場でボロンでドーピングされ、

前記アニールステップは、前記その場でドーピングされたボロンが合金層の内側領域に拡散するのを阻止するのに十分な程度の低い温度で実行されることを特徴とする請求項4の方法。

【請求項9】 前記アニールステップの温度は、650~850℃の範囲内にあることを特徴とする請求項7の方法。

【請求項10】 前記合金層は、それを形成する際に、その場でボロンでドーピングされ、

注入されるドーパント種は、ボロンを含みエミッタ層の内側領域上にその場でAsをドーピングした多結晶シリコンを堆積することにより、エミッタ接触層を形成するステップをさらに有することを特徴とする請求項3の方法。

【請求項11】 前記エミッタ層の外側領域と、エミッタ接触層の上に自己整合する2珪素チタン層を形成するステップを有し、

前記2珪素チタン層を形成するステップは、1種類、あるいは、複数種類のアニール温度でアニールするステップを含み、

前記アニール温度は、合金層の外側領域内に注入されたボロンを活性化するのに充分高い温度であるが、第2導電型のドーパント種が合金層の内側領域に拡散するのを阻止するのに充分な程度低い温度であることを特徴とする請求項9のステップ。

【請求項12】 前記スペーサを形成するステップにより、エミッタ層の外側領域のスペーサが、注入されたドーパント種の横方向のストラグルの距離特性だけ内側領域にオーバーハングすることを特徴とする請求項3のステップ。

【請求項13】 前記スペーサを形成するステップにより、エミッタ層の外側領域のスペーサが、注入されたドーパント種の横方向のストラグルの150nm以上400nm以下の距離だけ内側領域にオーバーハングすることを特徴とする請求項3のステップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ベース層がシリコン-ゲルマニウム合金からなるシリコンヘテロ接合バイ

ポーラトランジスタおよびこれを製造するための方法に関する。

#### 【0002】

【従来の技術】シリコンヘテロ接合バイポーラトランジスタ(HBT)が、低雑音および広い周波数応答という有利な特性を有するものとすることができることは良く知られている。これは、シリコン-ゲルマニウム合金ベースが、約30%以上の比較的高いゲルマニウム割合および約 $5 \times 10^{19} \text{ cm}^{-3}$ 以上の比較的高いベースドーピングレベルを有するHBTにおいて特にあてはまることがわかっている。この種のデバイスは、例えば、A. Schueppen等による「IEDM Tech. Digest (1994) p.377」に示されている。

#### 【0003】

【発明が解決しようとする課題】しかし、これらのデバイスは、従来、パターン化されていない基板上でのプラズマエピタキシーおよびその後に行なうメサアイソレーションを使用して製造されている。この種の方法は、より高い程度の平坦性を有するデバイス構造を要求する進歩した半導体製造プロセスと両立しない。

#### 【0004】

【課題を解決するための手段】本発明者らは、急速熱エピタキシー(rapid thermal epitaxy: RTE)の技術を用いて、高レベルの集積が可能となる新規でより平面上の構造体を有するHBTを形成した。

【0005】本発明は、シリコンHBTを製造する方法であり、本発明の方法によれば、実質的に単結晶シリコン製のコレクタ領域が、誘電体層に規定されたウィンドウ内に形成される。このコレクタ領域に、反対の導電型のSiGe合金層がこのコレクタ領域の上と、このコレクタ領域に隣接する誘電体層の少なくとも一部の上に形成される。このSiGe合金層は、非選択性急速熱エピタキシー(RTE)により形成され、その結果、このようにして得られた層が、コレクタ領域の上では実質的にエピタキシャル成長し、誘電体層の上では実質的に多結晶であるように行われる。コレクタ領域の上の合金層の部分は、以下の説明においては、内側領域と称し、誘電体層の上の合金層の部分は、外側領域と称する。この用語、「内側領域」と「外側領域」とは、材料の構成をいうのではなく、その部分の空間的配置を意味するだけである。

【0006】さらに、本発明によれば、コレクタ領域と同一の導電型のシリコン層が、SiGe合金層の上に、非選択的RTEにより形成され、その結果得られた層は、コレクタ領域の上ではエピタキシャルで、誘電体層の上では多結晶であり、これは、前述のSiGe合金層の場合と同じである。それぞれのシリコン層のエピタキシャル部分と、多結晶部分とは、以下の説明においては、内側領域と外側領域であり、これは、SiGe合金層の場合と同じである。さらに、本発明によれば、Si

Ge合金層と同一の導電型のドーパント種が、合金層の外側領域と、シリコン層の外側領域に注入されるが、これらの層の内側領域には注入されない。この注入は、SiGe合金層と、シリコン層の外側領域には、形成されたときのSiGe合金層と同一の導電型のドーピングレベルが生成されるが、コレクタ領域とSiGe合金層の内側部分と、シリコン層の内側部分内のドーピングレベル以上となるように行われる。

#### 【0007】

【発明の実施の形態】本発明の一実施形態は、図1に示されたnpnトランジスタに関する。しかし、ここに開示される技術は、pnpデバイスの製造にも同様に容易に適応される。以下の説明においてnpnトランジスタを選択したことは、例示の目的のためであって、本発明の範囲を制限することを意図するものではない。

【0008】図示しないシリコン基板の上に少なくとも1つのn+サブコレクタ領域10が形成される。n型コレクタ領域20は、領域10の一部分の上に形成され、絶縁フィールド酸化物領域30横方向に有する。領域30は、典型的に二酸化珪素からなるが、窒化珪素のような他の誘電体材料も使用することができる。コレクタ領域の典型的な厚さの範囲は、100~1000nmである。下限値は、高速デジタルデバイスにおいて好ましく、上限値は、パワーデバイスにおいて好ましい。このコレクタ領域は、 $1 \times 10^{16} \text{ cm}^{-3}$ ないし $1 \times 10^{18} \text{ cm}^{-3}$ の範囲に典型的にあるドーピングレベルにおいて珪素がドーブされる。デバイスの降伏電圧を増大させるために、コレクタ領域の上側部分におけるドーピングレベルを減少させることが好ましい。

【0009】薄いシリコンの核となる層40、50が、後続の製造ステップを容易にするために、領域20および30の上に形成される。この層が非選択RTEにより形成される場合、誘電体材料の上にある外側領域部分40は、実質的に多結晶層となり、単結晶シリコンの上にある内側領域部分50は、実質的に単結晶層となる。薄い層40、50は、少なくとも100~500オングストロームの範囲の厚さに形成される場合、誘電体領域30上の多結晶シリコンの成長の核となるための種層として有効である。一般に、核となる層の内側領域部分50は、デバイスのコレクタの一部として機能することになる。

【0010】内側領域ベース60は、部分50の上に形成される。内側領域ベースは、典型的には5%~50%の範囲、好ましくは30%のゲルマニウム分子の割合を有するエピタキシャルSiGe合金からなる。内側領域ベースは、p形ドーパント、好ましくはホウ素で本来の場所にドーブされる。内側領域ベースの全体の厚さは、典型的には、15~100nmの範囲にある。所定のゲルマニウム分子の割合において、この厚さが、そのようなゲルマニウム分子の割合を有するキャップSiGe層

のための平衡状態の決定的な厚さ以下であることが望ましい。

【0011】シリコンIC製造の分野における実務家に良く知られているように、SiGeの格子定数は、純粋なシリコンの格子定数と異なる。それにも関わらず、これが十分に薄い場合、接触面に平行な格子パラメータが等しくなるように引っ張られたSiGeの層をシリコン上に成長させることが可能である。即ち、格子の不整合は、SiGe層の厚さがクリティカルな厚さよりも小さい限り、弾力的な引っ張り力により適応され得る。クリティカルな厚さは、例えば、「J. C. Bean et al., "Ge<sub>1-x</sub>Si<sub>x</sub>/Si Strained-Layer Superlattice Grown by Molecular Beam Epitaxy," J. Vac. Sci. Technol. A2 (1984) 436-440 および "Determination of the Critical Layer Thickness of Si<sub>1-x</sub>Ge<sub>x</sub>/Si Heterostructures by Direct Observation of Misfit Dislocations," Appl. Phys. Lett. 52 (Feb. 1988) 380-382」に記載されている。

【0012】ドーパされた層を同じゲルマニウム分子の一对の非ドーパスペース層の間に納めることが好ましい。好ましくは、10nmのドーパ領域が、4nmのスペース層の間に納められる。得られる全体の厚さ18nmは、上記したように、ゲルマニウム分子の割合30%についての平衡状態の厚さより小さい。

【0013】一般にp+導電形の性質を与える内側領域ベースのドーピングは、典型的に $1 \times 10^{18} \text{ cm}^{-3} \sim 2 \times 10^{20} \text{ cm}^{-3}$ の範囲にあるレベルである。 $5 \times 10^{18} \text{ cm}^{-3} \sim 2.5 \times 10^{19} \text{ cm}^{-3}$ の範囲のドーパされた層におけるドーピングプロファイルを使用することが好ましい。ピークドーピング濃度は、ほぼこのプロファイルの中心にある。内側領域ベースの範囲をその中に画定するSiGe層の外側領域部分70が、内側領域ベース60と連続的に形成される。この層が非選択RTEにより堆積される場合、多結晶シリコン領域40の上に堆積される外側領域部分は、実質的に多結晶材料として形成される。

【0014】n型単結晶シリコンからなるエミッタ80が内側領域ベース60上に形成される。エミッタ80の範囲をその中に画定するシリコン層の外側領域部分90が、エミッタ80と連続的に形成される。この層が非選択RTEにより堆積される場合、多結晶SiGe領域70上に堆積される外側領域部分も、実質的に多結晶材料として形成される。

【0015】外側領域部分40、70および90は、イオン注入によりp形ドーパントでドーパされる。典型的には、少なくともp形内側領域ベース60と同じレベル、および少なくともn形エミッタ80と同じレベルのドーピングレベルまでドーパする。このドーピングレベルの典型的な範囲は、 $1 \times 10^{19} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ であり、好ましくは $2.5 \times 10^{19} \text{ cm}^{-3}$ である。

この注入ステップの結果は、部分40、70および90を含む外側ベース領域を形成することである。この外側ベース領域が、部分40および90における多結晶シリコンおよび部分70における多結晶SiGeを含み、外側ベース領域のそれぞれの層のような部分40、70および90がそれぞれ対応するエレメント50、60および80と連続的に形成されることがわかる。

【0016】エミッタ80は、好ましくは300nmの厚さの、典型的にはTEOS堆積された酸化珪素である誘電体スペーサ100により覆われている。図2に示されているように、スペーサ100は、オーバハング長さだけ外側領域部分90にオーバハングするように好都合に形成される。得られたトランジスタの性能は、注入された外側領域ベースドーパント種の分布に敏感であることがわかった。具体的には以下の影響が観察された。

【0017】1. 注入が単結晶材料（即ち内側領域部分）の中に行われた場合、移動点欠陥は、横方向に拡散する可能性もあり、内側領域ベースドーパント種（特にホウ素）を誘導して、内側領域ベースをコレクタ20およびエミッタ80から分離するヘテロ接合を通して拡散させる。これは、得られるトランジスタの注入効率（したがって、コレクタ電流）を低下させる。逆に、注入が実質的に多結晶（即ち外側領域）材料内において行われた場合、注入ダメージは、そのような材料内に留まる傾向にあり、内側領域ベースが実質的に完全な状態に保たれる。

【0018】2. 注入ステップは、外側領域ベースとエミッタとの間のp-n接合の形成を導く。注入が実質的に多結晶材料内で行われた場合、最初に形成された接合も多結晶材料内に存在する。しかし、p-n接合のそのような配置は、比較的高い再結合電流を導き、ベース電流を増加させることになる。逆に、注入が内側領域まで拡張される場合、ベース電流は小さくなる傾向にあり、p-n接合は、単結晶材料内に形成される。

【0019】3. p-n接合が単結晶材料内ではなく多結晶材料内に形成される場合、コレクターベース静電容量( $C_{bc}$ )は、大きくなる傾向にある。考察は、この影響を、多結晶グレイン境界と結び付けられた電気的にアクティブな欠陥位置により作られる薄い空乏領域のせいであるとする。

【0020】これらの3つの影響の1番目のものは、注入された不純物種が内側領域内に止まることを阻止するような方法で実行される注入ステップに影響を及ぼす。この阻止機能は、スペーサ100により達成される。具体的には、オーバハング長さxは、直接的な注入または横方向の広がり（のいずれかの結果として、注入される種がエレメント60および80内に停止することを実質的にブロックするために充分であるように選ばれる。したがって、xは、横方向の広がり（の特性距離と少なくとも等しくなければならないことがわかる。この状況におい

て、エレメント60またはエレメント80内に形成される注入された種の最高濃度が外側領域ベースにおけるピークドーピングレベルの1%以下である場合、そのような阻止を”実質的である”と見なす。典型的な注入状態に対して、30keV、 $1 \times 10^{15} \text{ cm}^{-2}$ のフラックスにおけるBF<sub>2</sub>の注入と、60keVおよび $2 \times 10^{15} \text{ cm}^{-2}$ におけるホウ素注入を仮定すると、オーバハング長は、好都合に150nm~400nmの範囲にあることがわかった。好ましいそのような長さは、200nmである。

【0021】上述した第2および第3の影響は、単結晶材料内の上述したp-n接合または少なくとも多結晶材料と単結晶材料との間の接触面におけるp-n接合の形成に作用することがわかるであろう。以下により詳細に説明するように、最初に多結晶材料内の上述の接触面から所定のオフセット距離にp-n接合を形成し、注意深く定められた温度範囲内で熱拡散によりその接触面を移動させることを接合に許容することが有利であることがわかった。

【0022】エミッタ80は、部分的に下側エミッタコンタクト110により覆われている。エミッタコンタクト層は、エミッタの上側部分において好ましくは砒素のような不純物種の浅い注入により好都合に形成される。しかし、そのような注入プロセスにより生じる点欠陥は、内側領域ベースに移動することもあり、そこでホウ素ドーパントの外部拡散を活性化する。したがって、コンタクト110は、スペーサ100中に形成されたウィンドウ内に本来の場所にドーパされた多結晶シリコンを堆積させることにより好都合に形成される。このコンタクトは、好ましくは140nmの厚さであり、約 $5 \times 10^{20} \text{ cm}^{-3}$ の濃度の砒素でドーパされる。

【0023】エミッタ上側コンタクト層120は、エミッタ下側コンタクト層110を覆い、ベースコンタクト層130は外側領域ベースの部分90の上にある。コンタクト層120および130は、以下に説明する自己整合プロセスにより、チタニウム・ジシリサイドから好都合に形成される。エミッタ電極140、ベース電極150、およびコレクタ電極160は、二酸化珪素絶縁層170に形成されたコンタクトホール中に好ましくはアルミニウム1%銅合金で1000nmの厚さに形成される。

【0024】図3~13において、上述のようなトランジスタを作るために有用な製造ステップのシーケンスを示す。

【0025】トランジスタは、半導体層のシーケンスを成長させることにより形成される。これらは、限定反応処理として知られる成長モードを使用して急速熱エピタキシ(RTE)により成長させられる。この成長モードは、「J. F. Gibbons et al., Appl. Phys. Lett. 47 (1985) p. 721」に示されている。成長シーケンスにお

ける各ステップのためのキャリアガスとして水素が使用される。RTEは、成長温度の高速調節のために大きな放射熱を使用する化学気相成長法によるエピタキシャル成長である。

【0026】まず、酸化物層200が、サブコレクタ10の上に通常の方法で形成される。次に、図4および5に示されているように、ウィンドウ210が通常の方法で層200中にあけられ、コレクタ20がサブコレクタ10上のウィンドウにおいて本来の場所での砒素ドーピングと共に選択的エピタキシャル成長(SEG)により成長させられる。この成長は、典型的には800℃~1000℃、好ましくは950℃において、ジクロロシラン、塩化水素、および砒化水素の混合物の流れ中で実行される。より早い成長は、より高い温度においても達成可能であるが、これは、ウェハ状の他の構造を不都合なほど高い熱に曝す可能性がある。

【0027】図6に示されているように、シリコン層230が、次のSiGeベースおよびエミッタの成長を容易にするために成長させられる。層230は、シランから成長させられる。層230の部分231(即ち外側領域部分)は、酸化物の上に成長させられ、多結晶層として形成される。層230の部分232(即ち内側領域部分)は、単結晶シリコンの上に成長させられ、エピタキシャル層として形成される。次に、図7に示されているように、SiGeベース層240が成長させられる。この層は、ジクロロシラン、ジャーメイン、およびホウ素ドーピングのためのジボランから成長させられる。先の層と同様に、層240は先の層の部分231の上に横たわる外側領域部分241における多結晶材料として形成され、先の層の部分232の上に横たわる内側領域部分242においてエピタキシャルに形成される。

【0028】次に、シリコン層250が、図8に示されているように成長させられる。この層(エミッタとなるべき内側領域部分)は、ジクロロシランおよび砒化水素により、好ましい厚さ150nmに、好ましい温度800℃において、好ましいドーピングレベル $3 \times 10^{18} \text{ cm}^{-3}$ で成長させられる。層240にドーパされるホウ素の移動を防止するために、約825℃よりも低い成長温度を層250の成長において保つことが望ましい。先の2つの層の場合のように、層250は、外側領域部分251において多結晶であり、その内側領域部分252においてエピタキシャルである。

【0029】次に、図9に示されているように、好ましくは300nmの厚さの二酸化珪素層260が、典型的にはPETEOS反応炉中で、TEOSからプラズマ強化化学気相成長法により形成される。図10に示されているように、エミッタウィンドウ270は、反応イオンエッチングにより層260中にあけられ、多結晶シリコン層280が堆積されて、このウィンドウ270を埋める。RTE反応炉において層280を形成することが好

都合であることがわかった。エミッタ下側コンタクト層110(図1参照)となるべき層280は、シランおよび砒化水素(本来の場所のドーピングのため)から好ましい成長温度700℃において好ましい厚さ140nmに成長させられる。

【0030】次に、図11に示されているように、層260および280が、レジスト処理およびその後のエッチングによりパターン化される。これは、図1にも示されているようにエミッタ下側コンタクト110およびスペーサ100を形成することになる。レジスト285を存在させたまま、以下に説明するように外側領域ベース注入が実行される。そして、デバイスが、さらなるリソグラフィパターン化ステップの実行により、その後の層230、240および250のエッチングにより絶縁される。得られる構造が、図12に示されている。

【0031】図11および12において、外側ベース領域290が、上述したように、ホウ素およびボロンジフルオライドの層230、240および250へのイオン注入により形成される。この注入の間、スペーサ100は、これらの層の内側領域部分にイオンが注入されることを阻止する。図2に示されているように、注入が注入された種の内側領域内での実質的な停止の結果とならないように、スペーサ100が少なくとも横方向の広がり

の特性距離だけ外側領域層部分251にオーバーハングすることが望ましい。このステップのための好ましい注入エネルギーおよびフラックスは、それぞれ、ボロンジフルオライドについて、30keVおよび $10^{15}$  cm<sup>-2</sup>であり、ホウ素に対して60keVおよび $3 \times 10^{15}$  cm<sup>-2</sup>である。

【0032】例示的な注入条件に対して、150~400nmのオーバーハング長が有用であり、砒素を注入されたp-n接合が熱拡散により移動されるべきでない少なくともいくつかの場合において、約200nmのオーバーハング長を有することが好都合であることがわかった。10~100keVの注入エネルギーにおいて、ホウ素の垂直方向の広がりの長さは、小さなグレインサイズの多結晶シリコンにおいて約19nm~約87nmの範囲である。60keVの例示的な注入エネルギーにおいて、このばらつきの長さは約60nmである。散在の長さの議論については、例えば「S. M. Sze, VLSI Technology, McGraw-Hill, New York, 1983, pp.232-233」を参照のこと。この散在現象は、鋭いカットオフを有しないので、注入された種の小さいが意味のある濃度は、典型的には散在長を超えて延びることになることに留意すべきである。

【0033】次に、図13に示されているように、エミッタ上側コンタクト層120およびベースコンタクト層130が、2つのステップ、好ましくは640℃で60秒、および次に800℃において40秒行われる急速熱アニーリングプロセスで、チタニウムジシリサイド層を

成長させることにより自己整合的に形成される。このアニールは、好ましくは大気圧において5リットル/分の流れで窒素中で実行される。この熱サイクルは、外側領域ベース中の注入されたホウ素ドーパントを活性化するためにも有効である。

【0034】図1において、酸化層170は、好ましくはPETEOSプロセスにより300nmの厚さに形成され、電極のためのコンタクトホールを作るために従来の方法によりパターン化される。電極140、150および160が、通常の金属堆積、およびその後のパターン化された3レベルレジストによる反応イオンエッチングにより形成される。電極を形成するための金属堆積の好ましいシーケンスは、チタニウム、30nm;チタニウムナイトライド、60nm;アルミニウム-銅合金(500~1000nm)である。

【0035】図14は、オフセット距離300によるイオン注入、および得られたp-n接合の場所を内側領域と外側領域との間の接触面310にシフトするための熱拡散により外側領域ベースを形成することを示す。先の図面を参照して説明した構成要素は、同様の参照番号を付している。すでに述べたように、内側領域ベース中のドーパント拡散の完全さを保護すると同時に、接合静電容量および再結合を低減するために好都合である。この熱拡散は、以下に説明するように、チタニウムジシリサイド層120および130の形成の前または後に実行される。この熱拡散が実行される場合、これは、p-n接合の場所を短い距離単結晶領域中にシフトするように、好都合に行われる。例えば、拡散は、注入され、拡散されたドーパントプロファイルが、接触面におけるピーク値から、単結晶領域内の約50オングストローム以下、好ましくは約200オングストローム以下におけるピーク値の10%の範囲に好都合に入ることになる。

【0036】この拡散は、層120および130を形成する前に行うことが好ましい。これは、チタニウムジシリサイドがホウ素に対して比較的高い親和性を有すると信じられているからであり、層130が拡散の間に存在する場合、これが外側領域ベースからのホウ素に対する拡散性のシンクとして働く可能性がある。

【0037】SiGe(30%ゲルマニウム)におけるホウ素の拡散の活性エネルギーは、4.4eVであり、多結晶シリコンにおいては、それは2.5eVに過ぎない。これは、内側領域ベース内での実質的なホウ素拡散を生じさせない外側領域ベースにおける注入されたホウ素の拡散に対する実際の温度を選択することを可能にする。図15は、そのような実用的な温度が、約650℃~約850℃の範囲にあることを示す。約700℃の温度が好ましい。それは、この温度において、多結晶シリコン中での望ましい拡散が好都合な時間(典型的には3時間)内に起きるからであり、単結晶SiGeでのこの温度におけるホウ素拡散係数は、多結晶シリコン中よ

りも5桁以上小さい。

【0038】2つの個々の材料間の拡散係数におけるそのような大きな相違の1つの利点は、この拡散プロセスが本来備わっている自己制限性を有することである。即ち、拡散最前部は、単結晶材料との接触面まで広がるが、その点までに経過した拡散時間に匹敵するその後のいかなる時間においてもさらに意味のある程度には広がることはない。したがって、人間のオペレータの反応時間および反応炉の熱応答時間により制限される場合にも、得られるp-n接合を上述の接触面の例えば50nm以内に信頼性良く位置させることができる。

#### 【0039】

【実施例】実質的に上述した通りに、一連のトランジスタを作った。外側領域ベース内で注入されたホウ素を再分散させるための熱処理は行わなかった。したがって、それぞれの場合において、外側領域ベース中の注入されたドーパント拡散は、スペーサのオーバーハング長xにより決定された。このシリーズにおいて、オーバーハング長は、300nmのオーバーハングから300nmのセットバックまで変化させられた。「セットバック」は、スペーサの端部が内側領域の上にあり、外側領域の上になことを意味する。そのようなエッジは、図14中にエッジ320として示されている。それぞれの場合において、エミッタの大きさは $0.5\mu\text{m} \times 10\mu\text{m}$ であり、コレクタの大きさは $1.5\mu\text{m} \times 11\mu\text{m}$ であった。

【0040】図16は、上記のトランジスタのシリーズにおいて、オーバーハング長がどのようにピークカットオフ周波数およびピーク電流利得に影響を与えるかを示す。図において、オーバーハング長の負の値は、多結晶領域の上方に延びるオーバーハングに対応し、オーバーハング長の正の値は、図14中に例えばエッジ320により示されたセットバックに対応する。

【0041】図16から明らかなように、外側領域ベース注入位置が多結晶材料と単結晶材料との接触面に近づくくと、カットオフ周波数が約10GHzから50GHz以上に急激に上昇する。この上昇は、接合静電容量の減少によるものと思われる。しかし、注入位置が上記の接触面を超えて広がると、ピークカットオフ周波数およびピーク電流利得の双方が減少する。この減少は、注入ダメージにより引き起こされる点欠陥（おそらくシリコンの割れ目）の濃度の上昇のためであると思われる。これらの欠陥の存在は、内側領域ベースからのホウ素の外部拡散を増加させ、ベース遷移時間を増大させると考えられる。

【0042】図17は、コレクタ電流がスペーサエッジの場所によりどのように変化するかを示す。注入が多結晶材料に制限される場合（xの値が負である場合）、注入効率は、大きくなり、コレクタ電流は増加する。この図は、100nmよりも小さなオーバーハング長および300nmよりも大きなオーバーハング長に対しても改善を

示している。

#### 【0043】

【発明の効果】以上説明したように、本発明によれば、製造が容易な比較的平坦な構造を有するヘテロ接合バイポーラトランジスタを提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態によるトランジスタの構造を示す図。

【図2】どのようにオーバーハング長xが定義されるかを示す図1のトランジスタの詳細図。

【図3】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図4】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図5】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図6】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図7】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図8】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図9】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図10】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図11】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図12】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図13】図1のトランジスタを作るための製造プロセスの一連のステップを示す図。

【図14】本発明の一実施形態により、注入ベースドーパント種を多結晶材料と単結晶材料との接触面に向かって拡散させるステップを示す図。

【図15】温度を関数として様々な材料におけるホウ素の拡散係数を示す図であり、多結晶シリコン、単結晶シリコン、および単結晶シリコン-ゲルマニウム合金（30%ゲルマニウム分子割合）におけるホウ素拡散を比較可能としている。

【図16】図2のオーバーハング長xを変化させた場合に図1のトランジスタの性能がどのように影響を受けるかを示す図であり、このグラフに表される性能は、ピークカットオフ周波数およびピーク電流利得である。

【図17】図1のトランジスタの様々な値のオーバーハング長xにおけるベース-エミッタ電圧を関数としたコレクタ電流を示す図。

#### 【符号の説明】

10 サブコレクタ領域

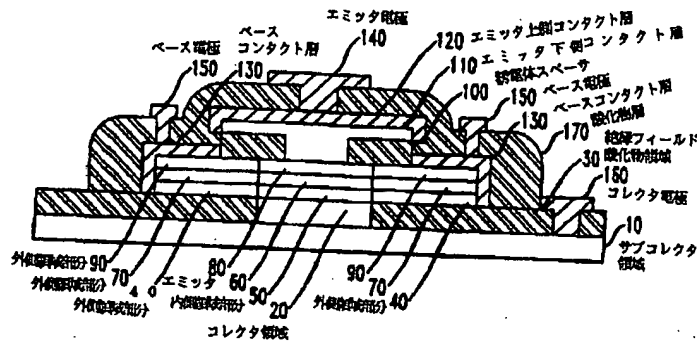
20 コレクタ領域



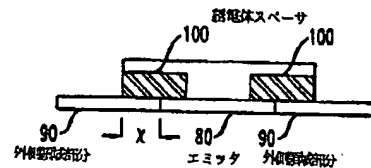
30 絶縁フィールド酸化領域  
40, 70, 90 外側領域部分  
50 内側領域部分  
60 内側領域ベース  
80 エミッタ  
100 誘電体スペーサ

110 エミッタ下側コンタクト層  
120 エミッタ上側コンタクト層  
130 ベースコンタクト層  
140 エミッタ電極  
150 ベース電極  
160 コレクタ電極

【図1】



【図2】



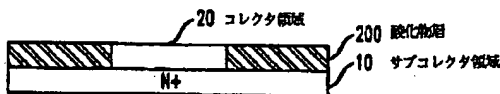
【図3】



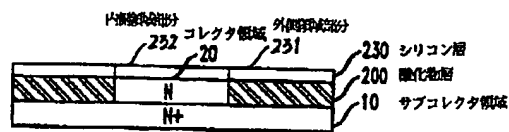
【図4】



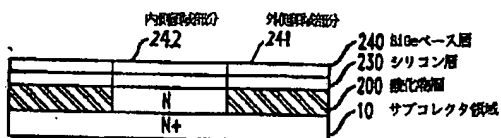
【図5】



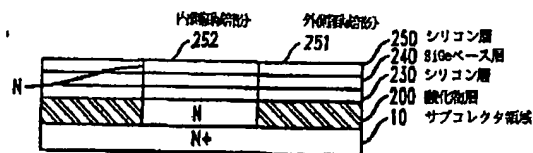
【図6】



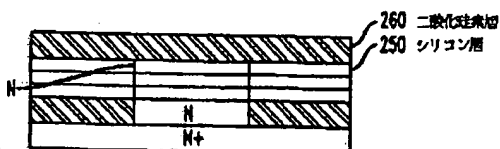
【図7】



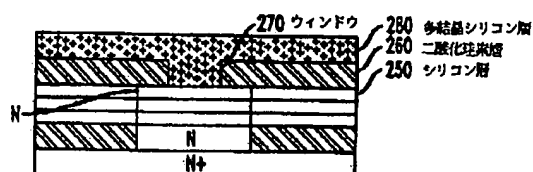
【図8】



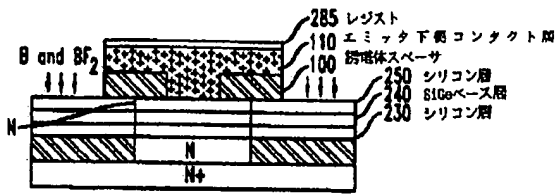
【図9】



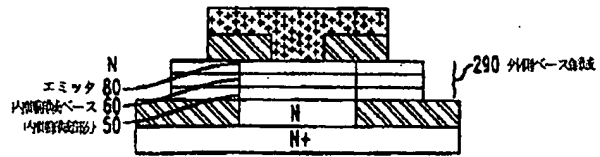
【図10】



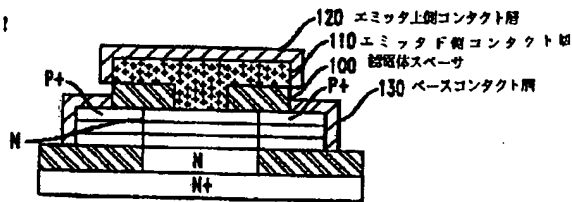
【図11】



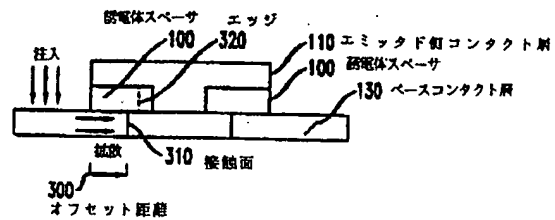
【図12】



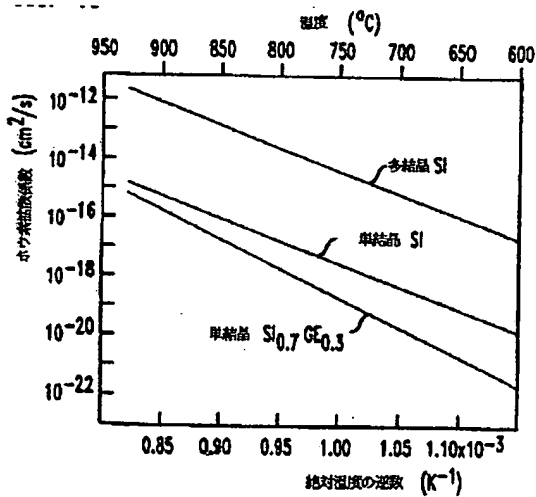
【図13】



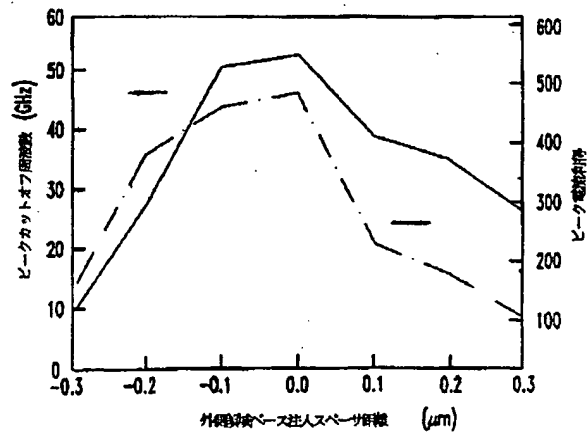
【図14】



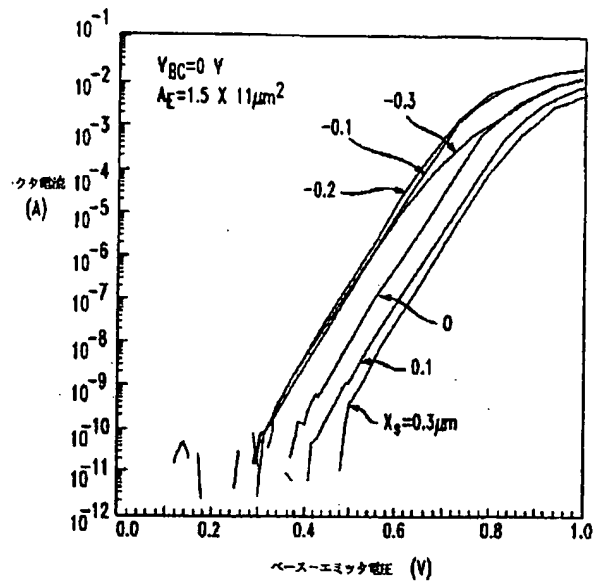
【図15】



【図16】



【図17】



フロントページの続き

(71)出願人 596077259  
 600 Mountain Avenue,  
 Murray Hill, New Je  
 rsey 07974-0636 U. S. A.

(72)発明者 クリフォード アラン キング  
 アメリカ合衆国, 10013 ニューヨーク,  
 ニューヨーク, リード ストリート 99,  
 アパートメント 7 ダブリュー